

PATENT APPLICATION

RECEIVED
FEB 14 1989
GROUP 230

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

TAKAHIKO URAI

Serial No.: 07/103,312

Group Art Unit: 233

Filed: October 1, 1987

Examiner: Popek

For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED CELL ARRANGEMENT

SUBMISSION OF PRIORITY DOCUMENT(S)

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

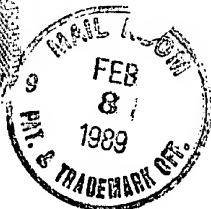
Submitted herewith is (1) certified copy of the priority document on which a claim to priority was made under 35 U.S.C. 119. An acknowledgement of the receipt of said document is kindly requested.

Respectfully submitted

By:

Howard L. Bernstein
Reg. No. 25,665

SUGHRUE, MION, ZINN,
MACPEAK & SEAS
2100 Pennsylvania Ave., N.W.
Washington, D.C. 20037
(202) 293-7060



0-15952
RECEIVED

FEB 14 1989

GROUP 230

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

の書類は下記の出願書類の謄本に相違ないことを証明する。
to certify that the annexed is a true copy of the following application as filed
office.

月日
Application: 1986年10月1日

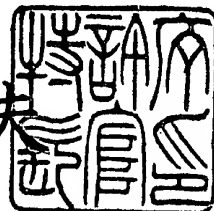
番号
Number: 昭和61年特許願第234929号

人
): 日本電気株式会社

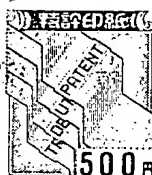
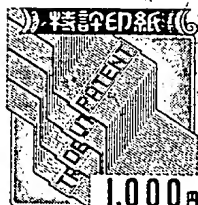
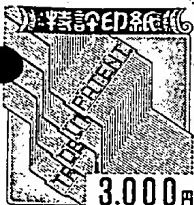
1987年10月28日

特許庁長官
Director-General,
Patent Office

小川邦夫

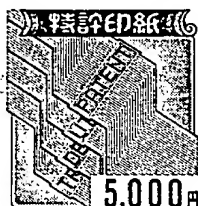


出証昭 62-50495



正

G11C



(9,500円)

特 許 願 (9)

61.10.-1

昭和 年 月 日

特許庁長官殿

発 明 の 名 称



半 導 体 記 憶 装 置

発 明 者
住 所

東京都港区芝五丁目33番1号

日本電気株式会社内

氏 名

浦 井 孝 彦

特 許 出 願 人
住 所
名 称

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関 本 忠 弘

代 理 人
住 所

〒108 東京都港区芝五丁目37番8号

住友三田ビル

日本電気株式会社内

氏 名

(6591) 弁理士 内 原 晋

電話 東京 (03) 456-3111 (大代表)

(連絡先 日本電気株式会社 特許部)

弁理士
内原晋

添付書類の目録

明 細 書 1 通
図 面 1 通
委 任 状 1 通
願書副本 1 通

61.10. 3

61 234929

小野電

方 式

問 中

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

総記憶容量に等しい数のメモリセルから構成される通常部のメモリセルアレイと通常の使用状態では選択されない予備のメモリセルアレイから成り、前記通常部のメモリセルアレイの周辺部に前記予備のメモリセルアレイを配置することを特徴とする半導体記憶装置。

5

10

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関し、特に通常では使用しない予備のメモリセルを持つ半導体記憶装置に関する。

15

〔従来の技術〕

一般に半導体記憶装置は総記憶容量（総ビット

数)に等しいメモリセル(1メモリセル内に含まれるトランジスタ,素子数はそれぞれのタイプにより異なる。)を有し,余分なメモリセルをチップに搭載することはチップ面積の増大という点で不利であるため,従来あまり行なわれなかった。

5

〔発明が解決しようとする問題点〕

しかし,半導体の製造における微細化が進むにつれて製造工程上のバラつきがLSIの諸特性を変化させる大きな要因となってきた。このことはウェハー間のみならず、同一ウェハー上の異なるチップ間,さらには同一チップ内の異なる場所による特性のバラツキという形で現われる。半導体記憶装置に関して言えば、メモリセルの出来不出来が製品の特性を大きく左右する。ここで注意すべきことは微細構造となるに従い、製造工程におけるマスクパターンの差がメモリセルの差に反映されるということである。従って、セル部のマスクパターンは位置によらず一定(規則的)であることが望ましい。しかし周囲が全て他のセルに囲まれたセルアレイ内部のメモリセルと、周囲

10

15

20

の片方は他のセルが存在しない周辺部のセルを比較した場合、前者はパターンの配列が規則的であるのに対し、後者はその外側にセルがないためにパターンが規則性を持たなくなってしまう。その結果、周辺部のセル特性がメモリセルアレイ内部

5

〔問題点を解決するための手段〕

本発明の目的は上述の問題点にかんがみ、半導体記憶装置においてメモリセル特性が位置に依存せず一定であるようなメモリセルアレイを提供することにある。

10

本発明の半導体記憶装置は総記憶容量に等しい数のメモリセルに加えてその四方の周辺に数列または数行のメモリセル（通常の使用状態では選択されない）を配置することを特徴とする。

15

〔実施例〕

以下に本発明について図面を参照して説明する。第1図は本発明による半導体記憶装置の一例としての不揮発性メモリの機能ブロック配置図である。また第2図は第1図に対応した不揮発性メモリの

20

機能ブロック配置図の従来例である。第1図，第2図において1は通常の使用状態で選択されるメモリセルアレイ，2はメモリセルのワード線を選択するXデコーダ，3はメモリセルのビット線を選択するためのYセレクトア，4はYセレクトアを選択するYデコーダ，5は入出力バッファ，制限回路などを含む周辺回路を示している。さらに第1図において6は本発明による通常の使用状態では選択されない予備のメモリセルアレイである。

5

あるアドレスが選ばれた場合、5に含まれる入出力バッファを通して2のXデコーダのうちの1つが選択される。同時に4のYデコーダのうちの1つが選択されることにより3のYセレクトアの中の1ワード当たりのビット数に等しい数（例えば1ワードにつき8ビットの場合は8個）のトランジスタが導通する。このとき1内において1ワード当たりのビット数に相当する数のメモリセルが選択されることになる。6のメモリセル部はアドレスを変化させても通常の使用状態では選択されないようにしておく必要がある。

10

15

20

上述したように、微細化が進むにつれてマスク
パターンの規則性が周辺部でこわれることによる
周辺部のセル特性の劣化が顕著になる。この場合、
第2図の従来例では1のメモリセルアレイの周辺
部分に劣化の起こる可能性があるのに対し、本発
明による第1図では劣化部分は予備のメモリセル
アレイ6に集中し、1のメモリセル部に影響が及
ぶ割合は非常に少なくなる。従って1の周辺に6
のメモリセルアレイを付加することによって、メ
モリセル1が均一な特性を有することが可能とな
る。

さらに、6の部分のメモリセルを次のように利
用することもできる。第3図がその一実施例であ
る。最近OTPROM(プラスチックパッケージのE
PROMで書込みは1度のみ可能)の要求が強まっ
ているが、製品は消去ができないために、1のメ
モリセル部に書込みを行なって諸特性を調べるこ
とは不可能である。そこで、通常の使用状態以外
のモードを設定し、第3図で示すように余分のX
デコーダ7あるいは余分のYセクタ8とその8

を選択するための Y デコーダ 9 を付加する。製品をそのモードに設定した際にメモリセル 6 に書込み・読出しが可能となるような設計を行なえば、1 のメモリセルが消去状態であっても 6 のメモリセルによってその製品の諸特性を測定することができる。付加する回路は 7 のみでも 8 と 9 のみでもよく、さらにその両方を付加してもよい。

5

以上で述べた以外にも、通常の使用状態に支障をきたさない範囲において、6 のメモリセルアレイを有効に利用することは可能である。また、メモリセル 6 を一辺あたり 1 つのセルでも複数個のセルで構成してもよい。加えて上述した不揮発性メモリのみならず、全ての種類の半導体記憶装置に適用可能である。

10

〔 発明の効果 〕

15

以上説明したように、本発明の半導体記憶装置は総記憶容量に等しい通常部のメモリセルアレイの周辺に通常では使用されないメモリセルアレイを付加することによって、パターンの規則性のくずれに原因する通常部のメモリセルの特性劣化を

20

防止する効果がある。

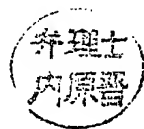
4. 図面の簡単な説明

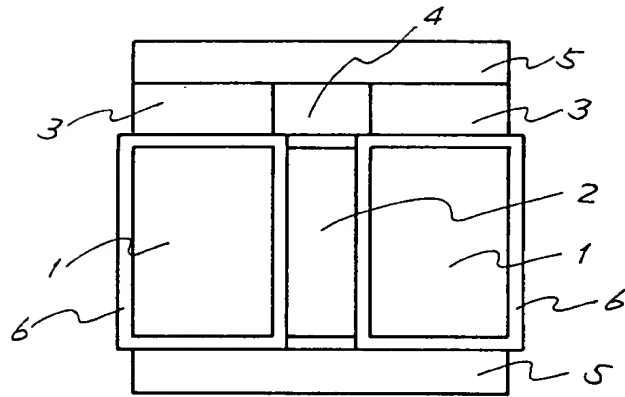
第1図は本発明の一実施例である不揮発性メモリの機能ブロック配置図、第2図は第1図に対応する従来例の機能ブロック配置図である。また第3図は本発明の一実施例であるOTPROMの機能ブロック配置図である。

1…通常部のメモリセルアレイ、2…Xデコーダ、3…Yセクタ、4…Yデコーダ、5…周辺回路、6…本発明による予備のメモリセルアレイ、7…予備のメモリセルアレイ6を選択するためのXデコーダ、8…予備のメモリセルアレイ6を選択するためのYセクタ、9…8のYセクタを選択するためのYデコーダ

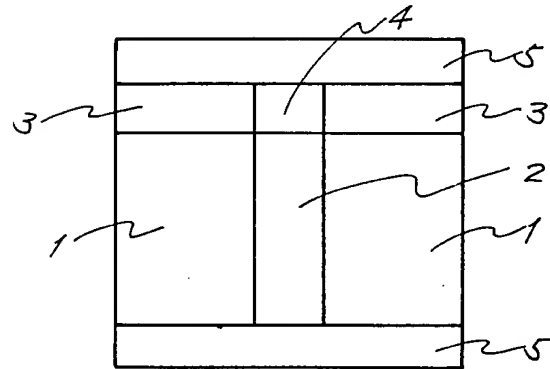
代理人 弁理士 内 原

晋

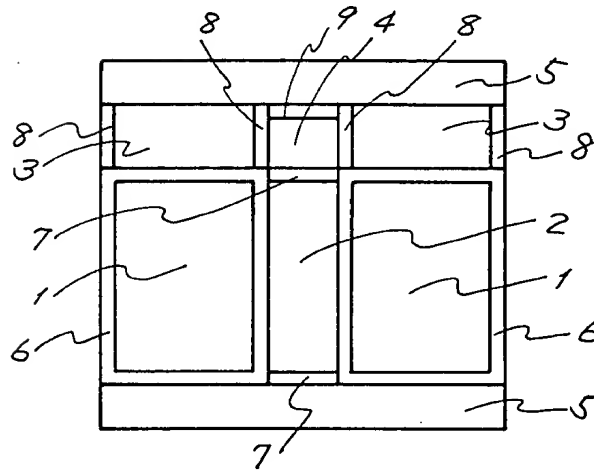




第1図



第2図



第3図